**Laboratuvar Çalışması 0x4**

Sonlu Otomatlar

Bu labın amacı

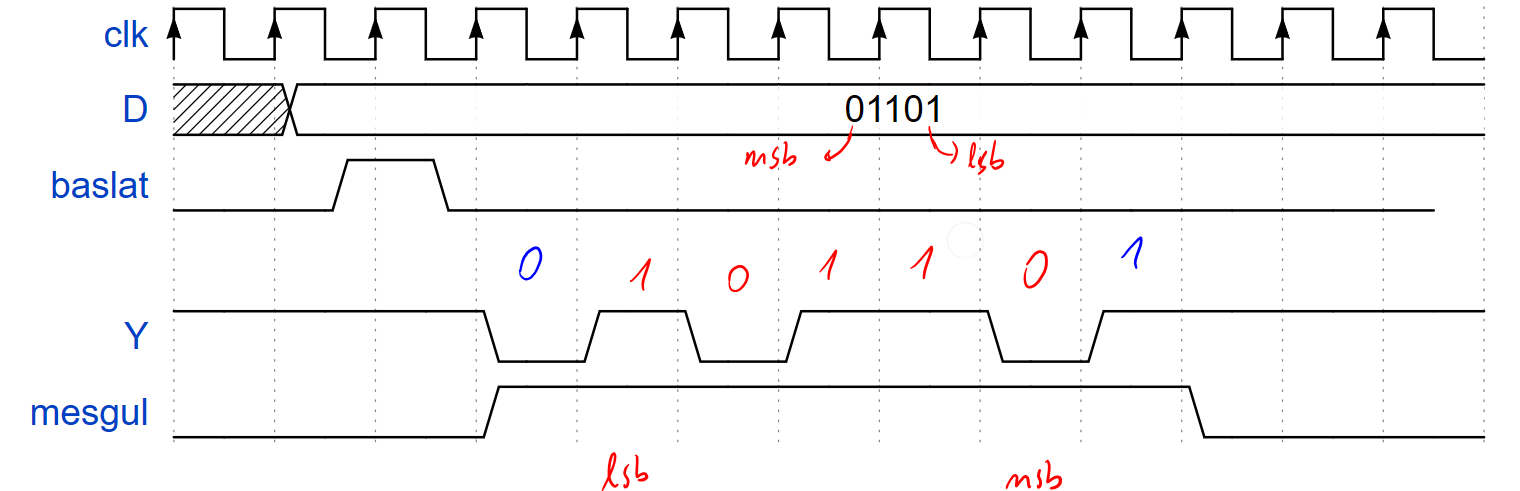
* Sonlu otomatlar oluşturabilmek.
* Tasarlanan sonlu otomatı DTD kullanarak gerçekleyip test edebilmek.

### Problem 1 - Sıralarıyıcı

Bu problemde 5**-bit D** değerini **baslat** geldiğinde aşağıdaki isterlere uygun olarak **Y** çıkışından göndermeniz istenmektedir. (normal bir shift register olarak çalışacağını düşünebilirsiniz.)

* Y çıkışı, baslat girişi 0 olduğu zaman lojik 1 olarak sürülecektir. FSM in S0 stateti burası olsun.
  + baslat girişi sadece 1 clock cycle süreyle aktif hale gelebilir.
* baslat 1 olduktan sonra önce 1 clock cycle lık lojik 0 gönderilecek
* sonrasında D nin LSB bit inden başlayarak her clock cycle da bir D nin bir sonraki biti gönderilecek.
* D nin bütün bitleri bittikten sonra 1 clock cycle lık lojik 1 gönderilecek
* FSM S0 statetine geri dönecek
* Devre S0 stateti haricindeki bütün state lerde **mesgul** çıkışı lojik 1 olarak sürülecek, S0 statetinde **mesgul** çıkışı lojik 0 olarak sürülecektir.
* İlk baştaki lojik 0 ı göndermek için bir state belirleyin.
* En sonraki lojik 1 i göndermek için bir state belirleyin.
* Aradaki D sinyallerini göndermek için state veya stateler belirleyin.

Örnek olarak D sinyalinin 01101 olduğunu varsayalım. start Y ve mesgul sinyallerinin zamanlama şeması Şekil 1 de verilmiştir.



Şekil 1

Not: D girişinin ne olduğunun önemi yoktur. Önemli olan gönderilen bitlerin sırasıdır.

module p1 (

input logic clk, reset, en,

input logic [4:0] D,

input logic baslat,

output logic Y,

output logic mesgul

);

1. State transition diagramını çıkarınız.
2. Devrenizi farklı kombinasyonlarla test ederek çalıştığını gözlemleyin.